

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-43444

(P2002-43444A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)	
H 0 1 L	21/8247	H 0 1 L 27/10	4 3 4	5 B 0 2 5
	27/115	G 1 1 C 17/00	6 2 3 A	5 F 0 0 1
G 1 1 C	16/04	H 0 1 L 29/78	3 7 1	5 F 0 8 3
H 0 1 L	29/788			
	29/792			

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願2000-227670(P2000-227670)

(22) 出願日 平成12年7月27日 (2000.7.27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 二山 拓也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100092820

弁理士 伊丹 勝

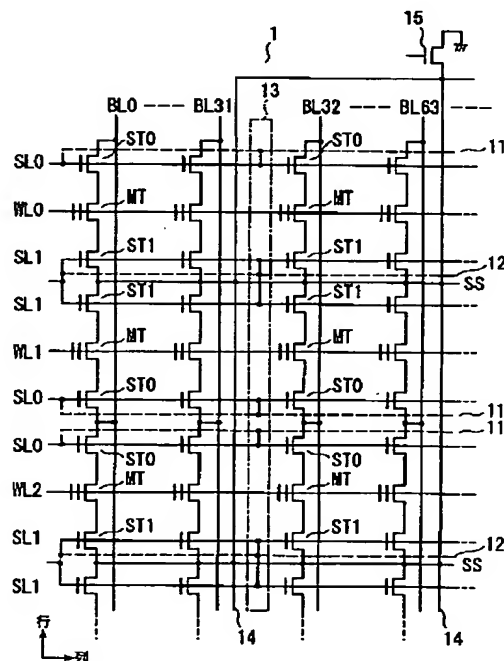
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【要約】

【課題】 高速読み出しを可能とした3T1方式の不揮発性半導体メモリを提供する。

【解決手段】 電気的書き換え可能な不揮発性メモリトランジスタMTのドレインが選択トランジスタST0を介してビット線BLに接続され、ソースが選択トランジスタST1を介して共通ソース線SSに接続されてメモリセルユニットが構成される。同一行の選択トランジスタST0、ST1のゲートは選択ゲート線SL0、SL1に共通接続される。同一行のメモリトランジスタMTの制御ゲートはワード線WLに共通接続される。選択ゲート線SL0、SL1には平行にこれらより低抵抗の短絡用配線11、12が配設される。短絡用配線11、12は、メモリセルアレイの列方向に所定間隔をおいて配置された配線短絡領域13において選択ゲート線SL0、SL1に短絡させる。共通ソース線SSを行方向に短絡する短絡用配線14は、これに挟まれた領域で読み出し時に選択状態になるメモリセル数が一つ以下となるように列方向に所定間隔をおいて配設される。



【特許請求の範囲】

【請求項1】 電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介してビット線に接続され、ソースが第2の選択トランジスタを介して共通ソース線に接続されたメモリセルユニットが行列状に配列されたメモリセルアレイと、前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記第1の選択ゲート線と平行に配設された第1の選択ゲート線より低抵抗の第1の短絡用配線と、前記メモリセルアレイの列方向に所定間隔をおいて前記第1の短絡用配線を前記第1の選択ゲート線に短絡させた配線短絡領域と、を有することを特徴とする不揮発性半導体メモリ。

【請求項2】 前記第2の選択ゲート線と平行に配設された第2の選択ゲート線より低抵抗の第2の短絡用配線を更に備え、前記第2の短絡用配線を前記配線短絡領域で前記第2の選択ゲート線に短絡させたことを特徴とする請求項1記載の不揮発性半導体メモリ。

【請求項3】 前記ワード線と平行に配設されたワード線より低抵抗の第3の短絡用配線を更に備え、前記第3の短絡用配線を前記配線短絡領域で前記ワード線に短絡させたことを特徴とする請求項2記載の不揮発性半導体メモリ。

【請求項4】 前記メモリセルユニットは、前記共通ソース線を挟んで対称パターンをもって配置され、前記第2の短絡用配線は、前記共通ソース線を挟んで隣接する二つの第2の選択ゲート線に対して共通に一本配設されていることを特徴とする請求項2記載の不揮発性半導体メモリ。

【請求項5】 前記第1の選択ゲート線、第2の選択ゲート線及びワード線が多結晶シリコン膜により形成され、前記第1乃至第3の短絡用配線が金属膜により形成されていることを特徴とする請求項3記載の不揮発性半導体メモリ。

【請求項6】 前記第1の選択ゲート線、第2の選択ゲート線及びワード線が多結晶シリコン膜により形成され、前記ビット線が第1層金属膜により形成され、前記第1乃至第3の短絡用配線が第2層金属膜により形成されていることを特徴とする請求項3記載の不揮発性半導体メモリ。

【請求項7】 電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介して、列方向に周期的に配設されるビット線に接続され、ソースが第2の選択トランジスタを介して、行方向に周期的に配設される拡散層からなる共通ソース線に接続さ

れたメモリセルユニットが行列状に配列されたメモリセルアレイと、

前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記メモリセルアレイのn本のビット線からカラムアドレスにより選択されたm本($m < n$)のビット線にそれぞれ接続されるm個のセンスアンプと、前記ビット線の n/m 本毎に少なくとも一本ずつ配置されて前記共通ソース線を列方向に共通接続する、共通ソース線より低抵抗の短絡用配線とを有することを特徴とする不揮発性半導体メモリ。

【請求項8】 電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介して、列方向に周期的に配設されるビット線に接続され、ソースが第2の選択トランジスタを介して、行方向に周期的に配設される拡散層からなる共通ソース線に接続されたメモリセルユニットが行列状に配列されたメモリセルアレイと、

前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記第1及び第2の選択ゲート線のうち少なくとも第1の選択ゲート線と平行に配設されて所定間隔をおいて第1の選択ゲート線と短絡される、第1の選択ゲート線より低抵抗の第1の短絡用配線と、前記メモリセルアレイのn本のビット線からカラムアドレスにより選択されたm本($m < n$)のビット線にそれぞれ接続されるm個のセンスアンプと、前記ビット線の n/m 本毎に少なくとも一本ずつ配置されて前記共通ソース線を列方向に共通接続する第2の短絡用配線とを有することを特徴とする不揮発性半導体メモリ。

【請求項9】 前記ワード線と平行に配設されたワード線より低抵抗の第3の短絡用配線を更に備え、前記第3の短絡用配線を前記配線短絡領域で前記ワード線に短絡させたことを特徴とする請求項8記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電氣的書き換え可能な不揮発性半導体メモリ（EEPROM）に関する。

【0002、】

【従来の技術】従来より、EEPROMとして、ページ単位での大容量のデータ書き込み及び読み出しを可能としたNAND型EEPROMが知られている。NAND型EEPROMのメモリセルアレイは、複数のメモリトランジスタを隣接するもの同士でソース、ドレインを共有して直列接続して構成される。データ消去は、NANDセルブロック単位で行われる。

【0003】NAND型EEPROMは、上述したメモリセルアレイ構成から、単位セル面積が小さく、従ってNOR型EEPROMに比べて大容量化、低コスト化が可能であるという優れた利点を有する。また、データの書き込み及び消去は、メモリトランジスタの浮遊ゲートとチャンネルの間でトンネル電流により行われる。従って、ホットエレクトロン注入を利用するNOR型EEPROMに比べて、低消費電力である。

【0004】

【発明が解決しようとする課題】NAND型EEPROMは、上述した特徴から、ファイルメモリ等の大容量メモリとして有効である。しかし近年、ICカード等に搭載する混載EEPROMとして、ランダムアクセスが可能で且つ高速読み出しが可能なのが求められている。この様な観点から、NAND型EEPROMの基本構造や製造プロセスを踏襲しながら、ランダムアクセスが可能で且つ高速読み出しを可能とするEEPROM構成として、2個の選択トランジスタの間に1個の不揮発性メモリトランジスタを挟んでメモリセルユニットを構成する方式が既に提案されている(P2000-149581)。

【0005】この様に、3個のトランジスタで1メモリセルユニットを構成する方式(以下、3Tr方式という)を採用したのは、データ書き換えが低消費電力でできるというNAND型EEPROMの利点を活かしながら、高速読み出しを可能とするためである。しかし、3Tr方式のEEPROMとNAND型EEPROMでは、仕様上種々の相違が生じる。図12は、3Tr型EEPROM(32kByte)とNAND型EEPROM(64Mbit)の仕様上の主な相違点を示している。

【0006】図12の仕様のうち、読み出し時間と読み出し単位の相違は特に重要である。NAND型EEPROMでは、大容量のデータを比較的ゆっくり読み出せばよいのに対し、3Tr型EEPROMでは小さなデータ単位を高速で読み出すことが求められる。このため、NAND型EEPROMのメモリセルアレイ構造を、メモリセルユニットにおけるメモリトランジスタ数を減らすだけで、そのまま3Tr型EEPROMに適用すると、必要な高速読み出しが実現できなくなる。

【0007】特に、選択トランジスタのゲートに接続される選択ゲート線の配線遅延が大きな問題になる。NAND型EEPROMではこの選択ゲート線には多結晶シ

リコン膜が用いられる。3Tr型EEPROMの選択ゲート線に同様に多結晶シリコン膜を用いた場合、その配線遅延は、例えば抵抗 $R=500k\Omega$ 、容量 $C=1pF$ として、約 $500nsec$ になる。これは、要求される読み出し時間 $100nsec$ よりはるかに大きいものとなる。

【0008】また、メモリセルユニットの一方の選択トランジスタの一端が接続される共通ソース線の抵抗も問題になる。共通ソース線には通常、列方向に連続的に形成される拡散層が用いられるため、抵抗が高く、これがセル電流の低下をもたらし、高速読み出しを難しくする。共通ソース線の抵抗の影響を低減するには、共通ソース線を列方向に所定間隔をおいて配設した、行方向に走る金属配線に接続し、この金属配線を接地回路を介して接地すればよい。これは、NAND型EEPROMでも行われている。しかし、3Tr型EEPROMでは複数のメモリトランジスタが直列接続されるNAND型EEPROMに比べてセル電流が大きくなるため、必要な読み出し時間を実現するためには、共通ソース線を短絡する金属配線の配置ピッチを最適化することが要求される。

【0009】この発明は、上記事情を考慮してなされたもので、高速読み出しを可能とした3Tr方式の不揮発性半導体メモリを提供することを目的としている。

【0010】

【課題を解決するための手段】この発明に係る不揮発性半導体メモリは、電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介してビット線に接続され、ソースが第2の選択トランジスタを介して共通ソース線に接続されたメモリセルユニットが行列状に配列されたメモリセルアレイと、前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記第1の選択ゲート線と平行に配設された第1の選択ゲート線より低抵抗の第1の短絡用配線と、前記メモリセルアレイの列方向に所定間隔をおいて前記第1の短絡用配線を前記第1の選択ゲート線に短絡させた配線短絡領域とを有することを特徴とする。

【0011】この発明によると、3Tr方式のEEPROMの少なくともビット線側の第1の選択ゲート線に平行に、選択ゲート線を所定間隔で短絡する選択ゲート線より低抵抗の短絡用配線を設けることにより、選択ゲート線の配線遅延を小さくして、高速読み出し動作を実現することが可能になる。この発明において、好ましくは、共通ソース線側の第2の選択ゲート線にもこれと平行に低抵抗の第2の短絡用配線を設け、更に、ワード線

にもこれと平行に低抵抗の第3の短絡用配線を設ける。これらの第2及び第3の短絡用配線も、第1の短絡用配線と同じ配線短絡領域でそれぞれ、第2の選択ゲート線及びワード線に短絡させる。

【0012】またこの発明において、メモリセルユニットが共通ソース線を挟んで対称パターンをもって配置されるものとした場合、共通ソース線側の第2の選択ゲート線を短絡するための短絡用配線は、共通ソース線を挟んで隣接する二つの第2の選択ゲート線に対して共通に一本配設されるようにすれば、短絡用配線のピッチは緩いものとなる。

【0013】この発明に係る不揮発性半導体メモリはまた、電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介して、列方向に周期的に配設されるビット線に接続され、ソースが第2の選択トランジスタを介して、行方向に周期的に配設される拡散層からなる共通ソース線に接続されたメモリセルユニットが行列状に配列されたメモリセルアレイと、前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記メモリセルアレイのn本のビット線からカラムアドレスにより選択されたm本($m < n$)のビット線にそれぞれ接続されるm個のセンスアンプと、前記ビット線の n/m 本毎に少なくとも一本ずつ配置されて前記共通ソース線を列方向に共通接続する、共通ソース線より低抵抗の短絡用配線とを有することを特徴とする。

【0014】この発明によると、共通ソース線を短絡する短絡用配線を、これに挟まれた領域で読み出し時に選択状態になるメモリセル数が一つ以下となるように、メモリセルアレイの列方向に所定間隔をおいて配設することにより、読み出し時の共通ソース線の抵抗の影響を低減して、誤読み出しを防止することが可能になる。

【0015】この発明に係る不揮発性半導体メモリは更に、電氣的書き換え可能な不揮発性メモリトランジスタのドレインが第1の選択トランジスタを介して、列方向に周期的に配設されるビット線に接続され、ソースが第2の選択トランジスタを介して、行方向に周期的に配設される拡散層からなる共通ソース線に接続されたメモリセルユニットが行列状に配列されたメモリセルアレイと、前記メモリセルアレイの同一行の第1の選択トランジスタのゲートが共通接続された第1の選択ゲート線と、前記メモリセルアレイの同一行の第2の選択トランジスタのゲートが共通接続された第2の選択ゲート線と、前記メモリセルアレイの同一行の不揮発性メモリトランジスタの制御ゲートが共通接続されたワード線と、前記第1及び第2の選択ゲート線のうち少なくとも第1

の選択ゲート線と平行に配設されて所定間隔をおいて第1の選択ゲート線と短絡される、第1の選択ゲート線より低抵抗の第1の短絡用配線と、前記メモリセルアレイのn本のビット線からカラムアドレスにより選択されたm本($m < n$)のビット線にそれぞれ接続されるm個のセンスアンプと、前記ビット線の n/m 本毎に少なくとも一本ずつ配置されて前記共通ソース線を列方向に共通接続する第2の短絡用配線とを有することを特徴とする。

【0016】この発明によると、3Tr方式のEEPROMにおいて、選択ゲート線の配線遅延を低減させる効果と、共通ソース線の抵抗の影響を低減させる効果とが得られ、これにより、誤読み出しのない高速読み出し動作が可能になる。

【0017】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1は、3Tr方式のEEPROMの一例のブロック構成を示す。この例は、図11の仕様を満たすべく構成されたものであり、メモリセルアレイ1は、ビット線BLが704本、ワード線WLが512本の32kByteの容量である。1ワード線のメモリセル範囲が1ページ(32ワード)であり、読み出し単位は1ワード(16ビット)である。但し、パリティビット6ビットを含めて実際には読み出し単位は、(16+6)ビット線分となる。

【0018】メモリセルアレイ1のワード線WL及び選択ゲート線はロウデコーダ2により選択される。ビット線BLには各ビット線毎に設けられた704個のページラッチ3が接続されている。センスアンプ6は、読み出し単位となる(16+6)個分あり、704本のビット線BLのなかからカラムデコーダ4により選択された(16+6)本のビット線データがセンスアンプ6により読み出されることになる。

【0019】アドレスはアドレスバッファ5に入力されて、ロウアドレス及びカラムアドレスがそれぞれロウデコーダ2及びカラムデコーダ4に供給される。コントローラ7は、外部からチップイネーブル/CE、出力イネーブル/OE、ライトイネーブル/WEが入り、それらに応じてアドレスバッファ5、センスアンプ6及びI/O回路8を制御する内部制御信号を発生する。この例では、パリティチェックと誤り訂正を行うために、パリティビット発生回路9及びエラー訂正回路10が設けられている。

【0020】図2は、メモリセルアレイ1の等価回路を示す。浮遊ゲートと制御ゲートの積層ゲート構造を有する不揮発性メモリトランジスタMTとその両端に設けられた選択トランジスタST0、ST1の3トランジスタによりメモリセルユニットが構成されている。メモリトランジスタMTのドレインは、選択トランジスタST0を介してビット線BLに、ソースは選択トランジスタS

10

20

30

40

50

T1を介して共通ソース線SSに接続されている。ビット線BLはメモリセルアレイ1の行方向に連続するように、列方向に周期的に配設される。

【0021】メモリトランジスタMTの制御ゲートは、同一行の（即ち列方向に並ぶ1ページ分の）メモリトランジスタMTについて連続的に配設されて、ワード線WLとなる。選択トランジスタST0、ST1のゲート電極も同様に、ワード線WLと平行に走る選択ゲート線SL0、SL1として配設されている。共通ソース線SSは後に説明するように、各トランジスタのソース、ドレイン拡散層と同時に形成される拡散層配線であり、列方向に連続的に形成される。メモリセルユニットは、この共通ソース線SSを挟んで対称パターンで配置されている。従ってメモリセルアレイ内で共通ソース線SSは行方向に周期的に配設されることになる。

【0022】このEEPROMの各動作モードのバイアス条件は、図11のようになる。データ書き込み動作では、予めビット線BLにデータ“1”、“0”に応じて、VCC、0Vが与えられ、選択ページのビット線側選択ゲート線SL0に2V、ソース側選択ゲート線SL1に0Vが与えられる。これにより、ビット線電位に応じて、メモリトランジスタのチャネルがVCC-Vth（Vthは選択トランジスタのしきい値電圧）、0Vに予備充電され、“1”データのビット線に沿ったメモリトランジスタではビット線側選択トランジスタがオフになる。非選択ページでは、制御ゲート線SL0、SL1は0V、ワード線WLはフローティングとされる。

【0023】そして、p型ウェルは0Vとして、選択ページのワード線WLに正の昇圧された書き込み電位Vp_{gm}が与えられる。このとき、“0”データが与えられたビット線に沿うメモリトランジスタでは、浮遊ゲートとチャネル間に大きな電界がかかり、FNトンネリングにより浮遊ゲートに電子が注入される。この電子注入により、メモリトランジスタはしきい値の高い書き込み状態（“0”データ状態）になる。“1”データが与えられたビット線に沿うメモリトランジスタでは、フローティングのチャネルが制御ゲートとの容量結合により電位上昇して、電子が注入されず、“1”データ状態が保持される。

【0024】データ読み出し動作は、選択ページの選択ゲート線SL0、SL1にV_{sg}なる正電位を与え、ワード線WLを0Vとして、メモリトランジスタのオンオフを検出することにより行われる。データ消去動作は、選択ページのワード線WLに0Vを与え、ビット線BL、選択ゲート線SL0、SL1、共通ソース線SSをフローティングとし、p型ウェルに22Vの消去電圧を与える。これにより、選択ページのメモリトランジスタでは浮遊ゲートの電子がFNトンネリングによりチャネルに放出され、“1”データ状態になる。非選択ゲートではワード線WLをフローティングに保つことにより、

チャネルからの容量結合によりワード線の電位が上昇して、浮遊ゲートの電子放出は生じない。

【0025】図2に示すEEPROMにおいて特徴的な点は、破線で示すように、多結晶シリコン膜からなる制御ゲート線SL0、SL1に平行に、これらより低抵抗の金属配線からなる短絡用配線11、12を配設していることである。メモリトランジスタMTのドレイン側（ビット線側）の選択ゲート線SL0に対しては個々に短絡用配線11が設けられる。これに対してメモリトランジスタMTのソース側（共通ソース線側）の選択ゲート線SL1には、共通ソース線SSを挟んで隣接する二つの選択ゲート線SL1に共通に用いられる短絡用配線12が設けられる。

【0026】これらの短絡用配線11、12は、メモリセルアレイ1を列方向に複数領域に分割して、端部及び各分割位置毎に配置される配線短絡領域13において、それぞれ選択ゲート線SL0、SL1と短絡させるようにしている。具体的に例えば、メモリセルアレイ1の領域に7個の配線短絡領域13を設けたとする。このとき、選択ゲート線SL0は、8個の領域に分割される。従って、短絡用配線の遅延を無視すれば、選択ゲート線SL0は配線抵抗及び容量が共に1/8になったと等価になり、その配線遅延は、多結晶シリコン膜による選択ゲート線SL0のみの場合に比べて、500nsec/(8×8)=7.8nsecと大きく短縮される。また、ソース側の選択ゲート線SL1については、隣接する二つで一つの短絡用配線12を共有させている。従って短絡用配線11、12のピッチは緩くなり、配線幅を大きくして抵抗を下げることができる。

【0027】このEEPROMにおいても一つ特徴的な点は、拡散層配線である共通ソース線SSを列方向に共通接続するための、拡散層配線より低抵抗の金属配線により形成された短絡用配線14が一定の条件の下に配設されていることである。即ちこの短絡用配線14は、これに挟まれた領域で読み出し時に選択状態になるメモリセル数が一つ1以下となるように、メモリセルアレイ1の列方向に所定間隔をおいて配設される。具体的に図2の例では、32本のビット線BL毎に短絡用配線14が配置された例を示している。この短絡用配線14は、

接地回路15を介して接地端子VSSに接続される。【0028】具体的に図1の例では、ビット線BLは704本であり、このうちカラムデコーダにより一度に選択されるのは、1ワード分、16+6=22本である。従って32本のビット線につき1本の割合で短絡用配線14を設けると、短絡用配線14に挟まれた領域では読み出し動作において選択状態になるメモリセルが一つになる。この様な条件を満たすことによって、読み出し動作時の共通ソース線抵抗の影響を効果的に低減できる。このことを、具体的に図9及び図10を参照して説明する。

【0029】図10は、共通ソース線SSを短絡する短絡用配線14の間に、一回の読み出して動作で○印で示す二つの選択セル1、2がある場合のビット線からの電流経路を示している。選択セル1、2のデータに応じて共通ソース線SSに流れる電流は変化するが、選択セル1、2が共にオンの場合、これらの選択セル1、2からの電流が共に共通ソース線SSに流れ込む。このため、共通ソース線SSの抵抗が高くと、この抵抗による電圧降下が大きくなり、メモリトランジスタのソース端子の電位が上昇して、セル電流が減少する。このセル電流の減少分が大きいと、センスアンプではメモリトランジスタがオフ状態と誤って判定される誤読み出しが発生するおそれがある。

【0030】これに対して、図9は、短絡用配線14の間に、○印で示すように選択セルが一つの場合を示している。この場合も、セル電流により共通ソース線SSの抵抗による電圧降下はあるが、その電圧降下量は図10のように二つの選択セルが同時に存在する場合に比べて小さい。従って選択セルのデータを確実に読み出すことが可能になる。

【0031】上の例は、選択セルが一つになるビット線範囲が32本の場合であるが、より一般的には、ビット線の本数を n 本、カラムデコーダにより選択されるビット線数が m の場合、即ち、 n 本のビット線からカラムアドレスにより選択された m 本($m < n$)のビット線に接続される m 個のセンスアンプが設けられる場合に、少なくともビット線 n/m 本につき1本の割合で短絡用配線14を配置すればよい。これにより、短絡用配線14に挟まれた領域で読み出し動作において選択状態になるメモリセルが一つ以下になり、共通ソース線の抵抗による電圧降下の影響を効果的に低減できることになる。

【0032】図3は、図1に示すメモリセルアレイ1の配線短絡領域13の近傍のレイアウトであり、図4、図5及び図6はそれぞれ、図3のA-A'、B-B'及びC-C'断面図である。メモリセルアレイ領域は、p型シリコン基板20にn型ウェル21及びp型ウェル22を形成した二重ウェル構造を有する。この基板のp型ウェル22の素子分離絶縁膜23により囲まれた素子領域に、メモリトランジスタMT及び選択トランジスタST0、ST1が形成される。

【0033】メモリトランジスタMTは、基板にトンネル酸化膜24を介して第1層多結晶シリコン膜25により浮遊ゲートFGが形成され、この上に層間絶縁膜26を介して第2層多結晶シリコン膜27による制御ゲートCGが形成され、更に制御ゲートCGに自己整合的にソース、ドレイン拡散層28が形成されて構成されている。メモリトランジスタMTでは、浮遊ゲートFGは図3及び図5には示すように、各トランジスタ毎に分離され、制御ゲートCGは列方向に連続的にパターン形成されて、これがワード線WLとなる。

【0034】選択トランジスタST0、ST1のゲートは、メモリトランジスタと異なり、第1層多結晶シリコン膜25と第2層多結晶シリコン膜27が共に列方向に連続的にパターン形成されて、これが選択ゲート線SL0、SL1となる。メモリセルユニットの共通ソース線SSは、選択トランジスタST1のソース拡散層を列方向に連続的に形成してなる拡散層配線である。メモリセルユニットは、この共通ソース線SSを挟んで行方向に対称的にパターン形成されている。

【0035】メモリトランジスタMT及び選択トランジスタST0、ST1の上は層間絶縁膜30で覆われ、この層間絶縁膜30上に第1層金属膜によるビット線(BL)31が形成される。このビット線31と同じ第1層金属膜により、共通ソース線SSを短絡するための短絡用配線14が形成される。

【0036】ビット線31及び短絡用配線14が形成された面は更に層間絶縁膜32で覆われ、この上に第2層金属膜による短絡用配線11、12が形成される。短絡用配線11は、配線短絡領域13においてコンタクトCT0により選択ゲート線SL0に短絡されている。同様に、短絡用配線12は、配線短絡領域13において、隣接する二つの選択ゲート線SL1にコンタクトCT1により短絡されている。前述のように短絡用配線12は、隣接する二つの選択ゲート線SL1に共通に設けられている。このため、図3及び図4から明らかなように、短絡用配線11、12のピッチは緩く、選択ゲート線SL0、SL1やワード線WLより幅広いパターンで形成することができる。これにより、短絡用配線11、12を十分に低抵抗とすることができる。

【0037】なお、選択ゲート線SL0、SL1は、前述のように、浮遊ゲートFGとなる第1層多結晶シリコン膜25と制御ゲートCGとなる第2層多結晶シリコン膜27の積層構造により構成されるが、この2層多結晶シリコン膜25、27の間も適当な間隔で短絡される。図6では、選択ゲート線SG1の2層多結晶シリコン膜25、27が配線短絡領域13内で短絡されている様子を示している。

【0038】図7は、図2の構成を基本として、更に、各ワード線WLに平行に、破線で示すようにワード線WLより低抵抗の金属膜による短絡用配線16を配設した例である。この短絡用配線16も、選択ゲート線SL0、SL1用の短絡用配線11、12と同じ第2層金属膜を用いて形成することができ、また配線短絡領域13でそれぞれワード線WLに短絡させる。

【0039】この様に、ワード線WLに対しても短絡用配線を設けた場合の、図4に対応する断面を示すと、図8のようになる。図4に比べて第2層金属配線のピッチは小さくなる。しかし、2本の選択ゲート線SL1側について短絡用配線12を共有させることにより、第2層金属配線のピッチはワード線や選択ゲート線に比べて緩

くでき、十分な低抵抗配線が得られる。

【0040】なおこれまでの例では、ビット線BL側の選択ゲート線SL0に対してそれぞれ短絡用配線11を設け、共通ソース線SS側の選択ゲート線SL1に対しては隣接する2本に共通の短絡用配線12を設けた。しかし、共通ソース線SSを挟んで隣接するメモリセルユニットについて、共通ソース線SS側の選択ゲート線SL1とビット線BL側の選択ゲート線SL0とを同時にオンオフすることなく、共通ソース線SS側の選択ゲート線SL1についてオンを保った状態で、ビット線BL側の選択ゲート線SL0をオンオフするような読み出し動作を行うことも可能である。この様な場合には、共通ソース線SS側の選択ゲート線SL1での配線遅延は、ビット線BL側の選択ゲート線SL0程には問題にならない。従ってこの様な場合には、共通ソース線SS側の選択ゲート線SL1については短絡用配線を省略してもよい。

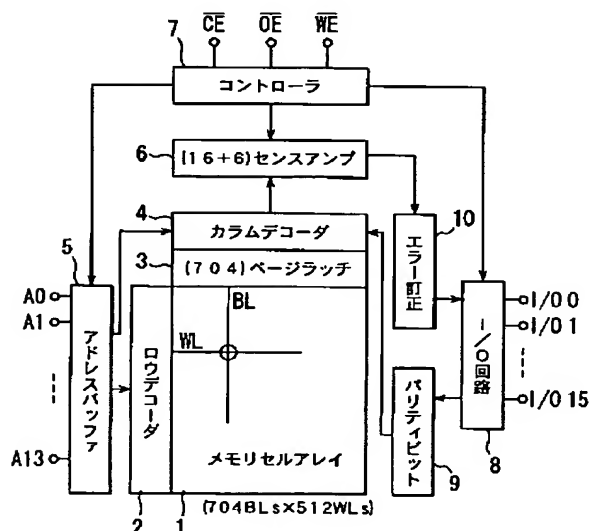
【0041】

【発明の効果】以上述べたようにこの発明によれば、3Tr方式のEEPROMの選択ゲート線の配線遅延を低減することができ、これにより高速読み出し動作が可能になる。また拡散層からなる共通ソース線を短絡接続する金属層からなる短絡用配線を所定の割合でメモリセルアレイ内に配置することにより、選択セル間の干渉による誤読み出し動作を防止することができる。

【図面の簡単な説明】

【図1】この発明による3Tr方式のEEPROMのブロック構成を示す図である。

【図1】



*【図2】同EEPROMのメモリセルアレイの等価回路である。

【図3】同EEPROMの主要部のレイアウトである。

【図4】図3のA-A'断面図である。

【図5】図3のB-B'断面図である。

【図6】図3のC-C'断面図である。

【図7】図2を変形したEEPROMのメモリセルアレイ等価回路である。

【図8】同EEPROMの図4に対応する断面図である。

【図9】短絡用配線14の間に選択セルが一つの場合の読み出し時の電流の様子を示す図である。

【図10】短絡用配線14の間に選択セルが二つある場合の読み出し時の電流の様子を示す図である。

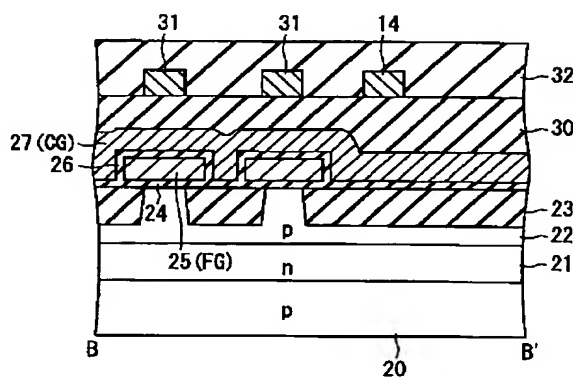
【図11】この発明によるEEPROMの各動作モードのバイアス条件を示す図である。

【図12】この発明による3Tr型EEPROMとNAND型EEPROMの仕様を比較して示す図である。

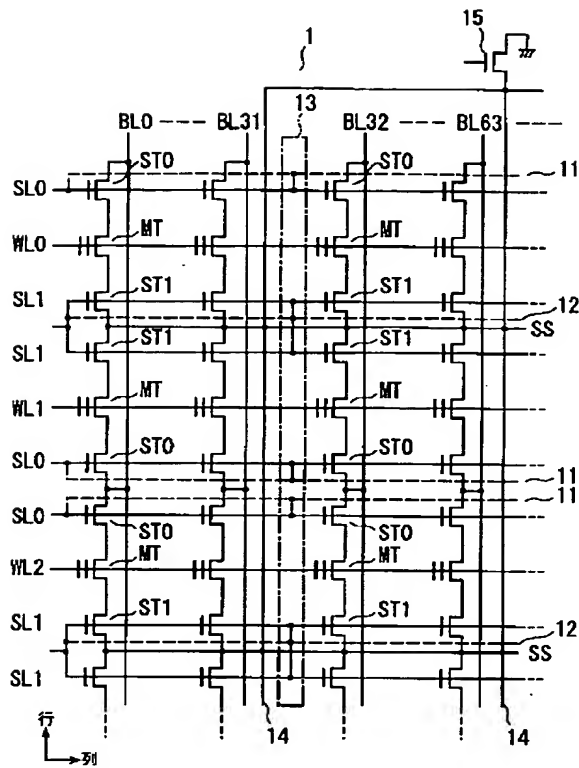
【符号の説明】

1…メモリセルアレイ、2…ロウデコーダ、3…ページラッチ、4…カラムデコーダ、5…アドレスバッファ、6…センスアンプ、7…コントローラ、8…I/O回路、9…パリティビット発生回路、10…エラー訂正回路、MT…メモリトランジスタ、ST0、ST1…選択トランジスタ、WL…ワード線、SL0、SL1…選択ゲート線、SS…共通ソース線、11、12、16…短絡用配線。

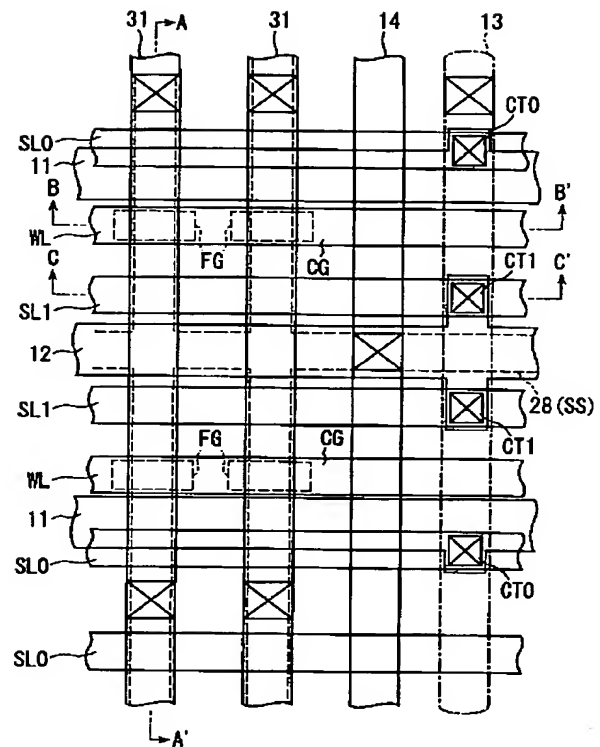
【図5】



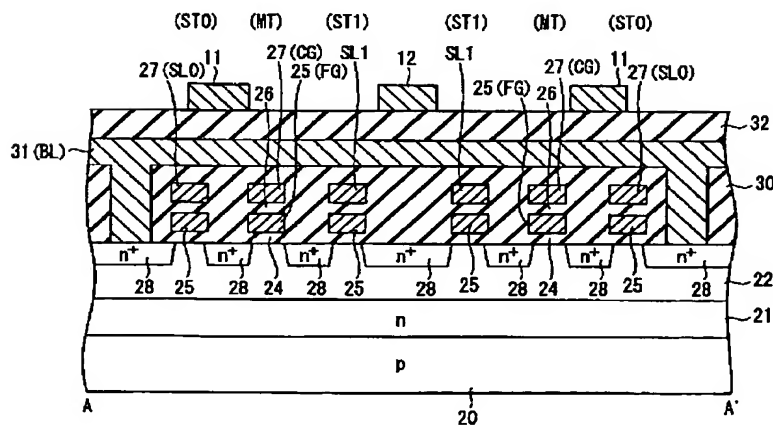
【図2】



【図3】



【図4】

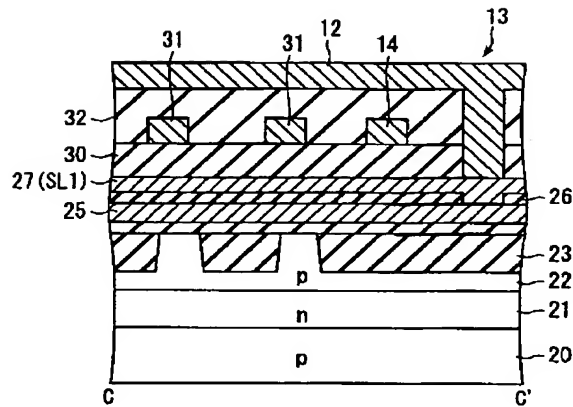


【図11】

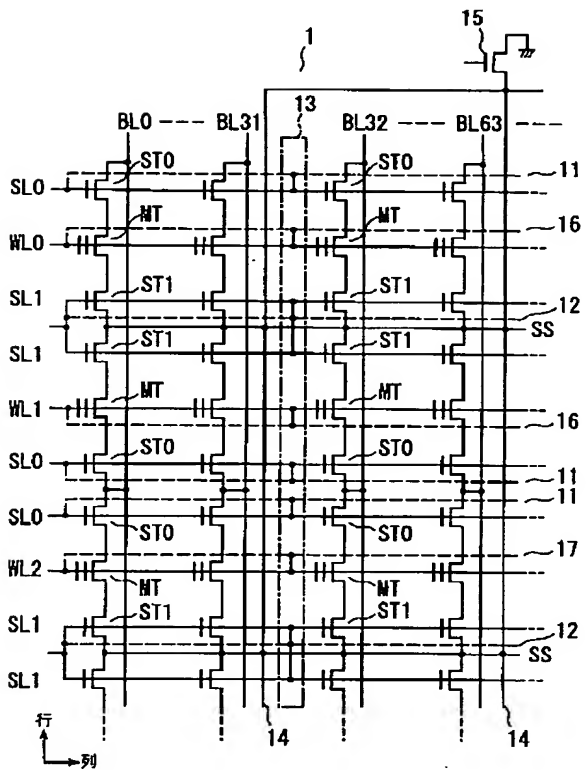
	読み出し	書き込み	消去
ビット線BL	Data	Data	FL
選択ゲート線SLO	Vsg/0V	2V/0V	FL
ワード線WL	0V	Vpgm/FL	0V/FL
選択ゲート線SL1	Vsg	0V	FL
ソース線SS	0V	2V	FL
Pウェル	0V	0V	22V

(FL:フローディング)

【図6】



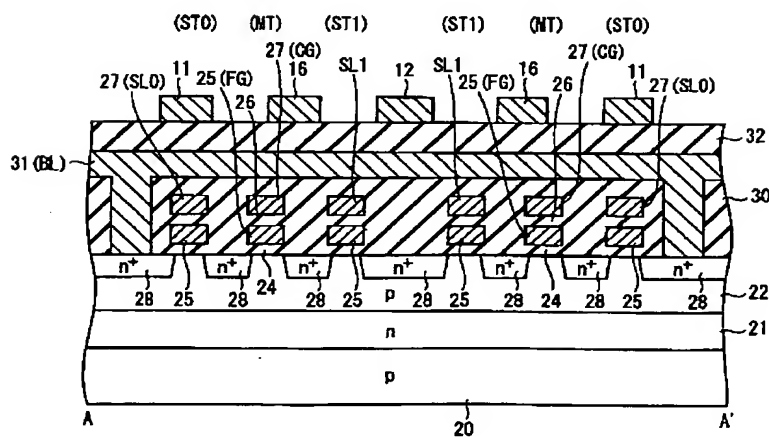
【図7】



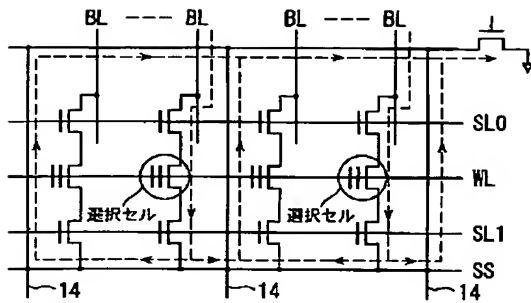
【図12】

	3Tr	NAND
メモリセルユニットのトランジスタ数	3	18
アクセス方式	ランダムアクセス	シリアルアクセス
読み出し時間	~100nsec	~10μsec
読み出し単位	ワード (16bit)	ページ (528Byte)
消去単位	ページ (32ワード)	ブロック (16ページ)
書き込み単位	ページ (32ワード)	ページ (528Byte)
メモリ容量	32kByte	64Mbit

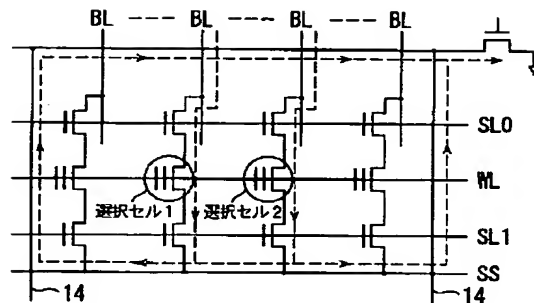
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5B025 AA03 AB01 AC03 AD00 AE05
 AE08
 5F001 AA01 AA05 AB02 AD52 AD61
 5F083 GA02 KA02 KA13 NA08